

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-012921
 (43)Date of publication of application : 17.01.1995

(51)Int.Cl.

G01S 7/282

(21)Application number : 05-151921
 (22)Date of filing : 23.06.1993

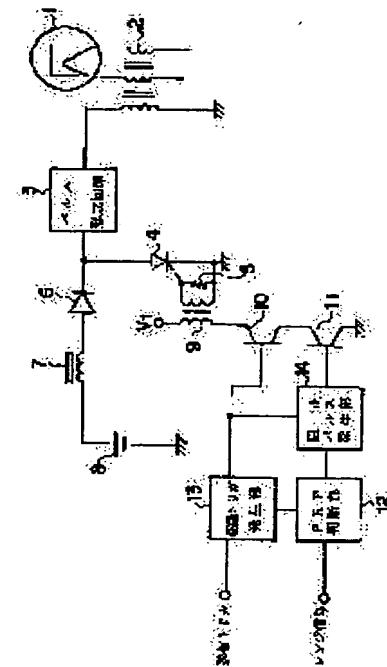
(71)Applicant : JAPAN RADIO CO LTD
 (72)Inventor : KITAZAWA HIRONORI

(54) PULSE MODULATOR FOR RADAR

(57)Abstract:

PURPOSE: To eliminate possible continuous discharging in a pulse formation circuit even when an erroneous trigger is applied to a transmission trigger in the use of an element such as thyristor as discharge switch.

CONSTITUTION: A trigger drive transistor 10 is provided as element to drive a thyristor 4 as discharge switch of a pulse formation circuit 3 while a blocking pulse drive transistor 11 is provided as element to prevent continuous discharging be cause of an erroneous trigger. The drive transistor 10 is driven by a drive trigger which has a width corresponding to a transmitting repetition frequency synchronizing a transmitting trigger. The blocking pulse drive transistor 11 is driven by a blocking pulse synchronous with the drive trigger having a width corresponding to the transmitting repetition frequency. As a result, even when the transmitting trigger is overlapped by the erroneous trigger, the generation of the blocking pulse eliminates possible continuous discharging in the pulse formation circuit 3 and a magnetron 1 is driven accurately. Thus, the width of the blocking pulse is set according to the transmitting repetition frequency thereby allowing adaptation to multiple kinds of transmission pulse widths.



LEGAL STATUS

[Date of request for examination] 21.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3272484

[Date of registration] 25.01.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-12921

(43) 公開日 平成7年(1995)1月17日

(51) Int. Cl. 6

識別記号

F I

G01S 7/282

A 8113-5J

審査請求・未請求 請求項の数2 O L (全8頁)

(21) 出願番号 特願平5-151921

(22) 出願日 平成 5 年 (1993) 6 月 23 日

(71) 出願人 000004330

日本無線株式会社

東京都三鷹市下連雀5丁目1番1号

(72) 発明者 北沢 弘則

東京都三鷹市下連雀五丁目1番1号 日本
無線株式会社内

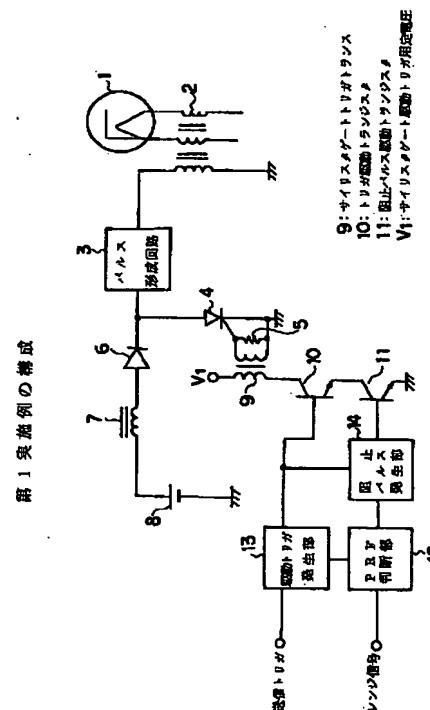
(74) 代理人 弁理士 吉田 研二 (外 2名)

(54) 【発明の名称】 レーダ用パルス変調器

(57) 【要約】

【目的】 放電スイッチとしてサイリスタ等の素子を用いる場合において送信トリガに誤トリガが加わった場合にも、パルス形成回路の連続放電が生じないようにする。

【構成】 パルス形成回路3の放電スイッチであるサイリスタ4を駆動する素子としてトリガ駆動トランジスタ10を設けるとともに、誤トリガによる連続放電を防止するための素子として阻止パルス駆動トランジスタ11を設ける。トリガ駆動トランジスタ10は、送信トリガに同期し送信繰り返し周波数に応じた幅を有する駆動トリガによって駆動される。阻止パルス駆動トランジスタ11は、送信繰り返し周波数に応じた幅を有し駆動トリガに同期した阻止パルスによって駆動される。送信トリガに誤トリガが重畠した場合でも阻止パルスが発生していればパルス形成回路3の連続放電が発生せず、マグネットロン1が正確に駆動される。阻止パルスの幅が送信繰り返し周波数に応じて設定されるため、複数種類の送信パルス幅に対応できる。



【特許請求の範囲】

【請求項1】 充電回路から充電を受け放電時には送信パルスを形成するパルス形成回路と、
パルス形成回路の放電に応じ送信パルスにより変調された送信信号を発生させる送信管と、
パルス形成回路を放電させる放電スイッチと、
パルス形成回路が所定タイミングで放電しかつ所定幅の送信パルスを形成するよう、送信トリガに応じて放電スイッチを制御する制御回路と、
パルス形成回路放電後、少なくとも放電スイッチが制御回路への誤トリガによっては誤動作しない状態となるまで、制御回路による放電スイッチの制御を遮断する誤トリガ動作阻止回路と、
を備えることを特徴とするレーダ用パルス変調器。

【請求項2】 請求項1記載のレーダ用パルス変調器において、
制御回路が、送信パルス幅に対応した幅の駆動トリガを送信トリガに同期して発生させる手段と、発生した駆動トリガにより駆動される第1の能動素子と、を含み、
誤トリガ動作阻止回路が、送信繰り返し周波数に応じた幅の阻止パルスを駆動トリガに同期して発生させる手段と、発生した阻止パルスにより駆動される第2の能動素子と、を含み、
第1及び第2の能動素子が、駆動トリガ及び阻止パルスが同時に発生している場合にのみパルス形成回路が放電するよう、放電スイッチに接続されたことを特徴とするレーダ用パルス変調器。

【発明の詳細な説明】

【0001】 **【産業上の利用分野】** 本発明は、パルスレーダにおいて用いられるレーダ用パルス変調器に関する。

【0002】

【従来の技術】 図5には、一従来例に係るレーダ用パルス変調器の構成が示されている。この図に示される回路は、マグнетロン1、パルストラ ns 2、パルス形成回路3、サイリスタ4、サイリスタゲート抵抗5、充電保持ダイオード6、充電コイル7及び定電圧電源8から構成されている。

【0003】 パルス形成回路3は、放電によって送信パルスを形成する回路である。パルス形成回路3は、定電圧電源8、充電コイル7及び充電保持ダイオード6から構成される充電回路に接続されており、この充電回路によって充電される。パルス形成回路3は、また、サイリスタ4及びサイリスタゲート抵抗5から構成される放電スイッチに接続されている。この放電スイッチは、送信トリガに応じてパルス形成回路3をパルストラ ns 2に短絡接続する。これによってパルス形成回路3が放電し、パルストラ ns 2を介してマグネットロン1に送信パルスが供給される。マグネットロン1は、この送信パルスによってパルス変調されたマイクロ波を図示しない空中

線回路に供給する。

【0004】

【発明が解決しようとする課題】 このように、従来においては、送信管としてマグネットロンが用いられており、また放電スイッチとしてサイリスタ等の素子が用いられている。すなわち、高耐圧、大電流を満たすべくサイリスタが用いられている。しかしながら、このような放電スイッチにおいて用いられるサイリスタ等のスイッチング素子は、ゲートにパルスを加えてオンさせた後トリガパルスを取り除いても直ちにオフすることができない。すなわち、ターンオフするために一定の時間が必要である。ところが、このターンオフ時間において雑音によるトリガが加わった場合、すなわち誤トリガがゲートに加わった場合、このサイリスタはターンオフすることができず、図4に示されるようにパルス形成回路の連続放電が発生してしまう。パルス形成回路が連続放電すると、マグネットロン等の送信管を正しく駆動することができない。

【0005】 本発明は、このような問題点を解決することを課題としてなされたものであり、雑音等に係る誤トリガが発生した場合にも、パルス形成回路が連続放電しないようにすることを目的とする。

【0006】

【課題を解決するための手段】 このような目的を達成するために、本発明のレーダ用パルス変調器は、充電回路から充電を受け放電時には送信パルスを形成するパルス形成回路と、パルス形成回路の放電に応じ送信パルスにより変調された送信信号を発生させる送信管と、パルス形成回路を放電させる放電スイッチと、パルス形成回路が所定タイミングで放電しかつ所定幅の送信パルスを形成するよう、送信トリガに応じて放電スイッチを制御する制御回路と、パルス形成回路放電後、少なくとも放電スイッチが制御回路への誤トリガによって誤動作しない状態となるまで、制御回路による放電スイッチの制御を遮断する誤トリガ動作阻止回路と、を備えることを特徴とする。

【0007】 また、本発明のレーダ用パルス変調器は、制御回路が、送信パルス幅に対応した幅の駆動トリガを送信トリガに同期して発生させる手段と、発生した駆動トリガにより駆動される第1の能動素子と、を含み、誤トリガ動作阻止回路が、送信繰り返し周波数に応じた幅の阻止パルスを駆動トリガに同期して発生させる手段と、発生した阻止パルスにより駆動される第2の能動素子と、を含み、第1及び第2の能動素子が、駆動トリガ及び阻止パルスが同時に発生している場合にのみパルス形成回路が放電するよう、放電スイッチに接続されたことを特徴とする。

【0008】

【作用】 本発明のレーダ用パルス変調器においては、パルス形成回路放電後、少なくとも放電スイッチが誤トリ

ガによっては動作しない状態となるまで、制御回路による放電スイッチの制御が遮断される。すなわち、送信トリガに誤トリガが加わった場合においては、誤トリガに応じた制御回路による放電スイッチの制御は行われない。従って、放電スイッチとしてサイリスタ等の素子を用いた場合においても、パルス形成回路の連続放電が防止されることとなり、マグネットロン等の送信管が正しく駆動されることとなる。

【0009】また、本発明のレーダ用パルス変調器においては、第2の能動素子を駆動する阻止パルスが、第1の能動素子を駆動する駆動トリガに同期して生成される。パルス形成回路は、駆動トリガ及び阻止パルスが同時に発生している場合にのみ放電する。送信パルスのパルス幅は送信繰り返し周波数に応じて設定されるため、本発明においては、互いに異なるパルス幅に係る送信パルスを得るための複数種類の送信繰り返し周波数に対応して、誤トリガ動作阻止動作の継続時間が制御されることとなり、異なるパルス幅の送信パルスが安定的に得られる。

【0010】

【実施例】以下、本発明の好適な実施例について図面に基づき説明する。なお、図5及び図6に示される従来例と同様の構成には同一の符号を付し説明を省略する。

【0011】図1には本発明の第1実施例に係るレーダ用パルス変調器の構成が示されている。この図に示されるレーダ用パルス変調器は、図5に示される回路にさらにサイリスタゲートトリガトランジスタ9、トリガ駆動トランジスタ10、阻止パルス駆動トランジスタ11、PRF判断部12、駆動トリガ発生部13及び阻止パルス発生部14を附加した構成である。

【0012】サイリスタゲートトリガトランジスタ9は、サイリスタゲート抵抗5に接続されたトランジスタであり、サイリスタ4のゲートをトリガするために用いられる。サイリスタゲートトリガトランジスタ9の入力側にはトリガ駆動トランジスタ10及び阻止パルス駆動トランジスタ11が直列に接続されている。トリガ駆動トランジスタ10は、駆動トリガ発生部13によって生成される駆動トリガによって駆動されるトランジスタであり、阻止パルス駆動トランジスタ11は阻止パルス発生部14によって生成される阻止パルスによって駆動されるトランジスタである。これらのトランジスタ10及び11がともにオンしている場合にのみ、サイリスタ4のゲートがトリガされることとなる。

【0013】PRF判断部12は、図示しないレーダ表示器から供給されるレンジ信号、すなわちレーダ表示器の表示レンジを示す信号に応じ、PRF(送信繰り返し周波数)を判断する。駆動トリガ発生部13は、レーダ表示器から供給される送信トリガ、すなわち送信タイミングを示すトリガに応じて駆動トリガを発生させる。駆動トリガ発生部13において生成される駆動トリガのパ

ルス幅は、PRF判断部12によって判断されたPRFに基づき、必要な送信パルス幅に対応したパルス幅に設定される。阻止パルス発生部14は、PRF判断部12によって判断されたPRFに応じたパルス幅を有する阻止パルスを、駆動トリガ発生部13によって生成される駆動トリガに同期して生成する。

【0014】図2には、この実施例の動作が示されている。この図に示されるように、駆動トリガは、送信トリガのフロントエッジに同期して生成される。阻止パルスは、この駆動トリガに同期してオフし、サイリスタ4のターンオフに必要な時間、このオフ状態を保つ。従って、送信トリガに誤トリガが重複している場合であっても、パルス形成回路3の連続放電は生じない。

【0015】また、図2(1)に示されるショートパルスの場合(PRFが比較的高い場合)と、図2(2)に示されるロングパルスの場合(PRFが比較的低い場合)とでは、阻止パルスがオフ状態を継続する時間が異なる値に設定されている。これは、PRF判断部12においてPRFを判断し、その判断結果に基づき阻止パルス発生部14が阻止パルスを発生させているためである。このような動作により、本実施例においては、PRFの相違に対応して異なる複数種類の送信パルスを安定的に得ることができる。

【0016】図3には、本発明の第2実施例に係るレーダ用パルス変調器の構成が示されている。この図に示される回路も、図1に示される実施例と同様、トリガ駆動トランジスタ10、阻止パルス駆動トランジスタ11、PRF判断部12、駆動トリガ発生部13及び阻止パルス発生部14を備えている。この実施例が前述の第1実施例と異なる点は、トリガ駆動トランジスタ10及び阻止パルス駆動トランジスタ11がサイリスタゲートトリガトランジスタ9を介してサイリスタゲート抵抗5に接続されるのではなく、トリガ駆動トランジスタ10と阻止パルス駆動トランジスタ11の接続点がサイリスタゲート抵抗5の一端に接続される点にある。

【0017】このような回路構成とした場合、阻止パルスの論理が第1実施例のそれと逆のものになる。すなわち、図4に示されるような論理となる。このような回路構成においても、前述の第1実施例と同様の効果が得られる。

【0018】なお、図中、V₁は、サイリスタ4のゲートをトリガするための定電圧である。

【0019】

【発明の効果】以上説明したように、本発明によれば、パルス形成回路放電後少なくとも放電スイッチが誤トリガによって誤動作をしない状態となるまで、制御回路による放電スイッチの制御を遮断するようにしたため、放電スイッチとしてサイリスタ等の素子を用いた場合にも、パルス形成回路の連続放電を防止することができる。従って、誤トリガの発生に伴う送信管駆動不能状態

が防止されることとなり、より信頼性の高いレーダ用パルス変調器が得られる。

【0020】また、本発明のレーダ用パルス変調器においては、駆動トリガ及び阻止パルスが同時に発生している場合にパルス形成回路が放電するよう第1及び第2の能動素子を設けるとともに、この阻止パルスのパルス幅を送信繰り返し周波数に応じて設定しあつこの阻止パルスを駆動トリガに同期して発生させるようにしたため、送信繰り返し周波数の相違に適合しつつ上述の効果を実現することができる。従って、異なる複数種類のパルス幅での送信管の動作を安定的に実現することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るレーダ用パルス変調器の回路構成を示す回路図である。

【図2】この実施例の動作を示す波形図であり、図2(1)はショートパルスの場合を、図2(2)はロングパルスの場合を、それぞれ示す図である。

【図3】本発明の第2実施例に係るレーダ用パルス変調器の回路構成を示す回路図である。

【図4】この実施例の動作を示す波形図であり、図4(1)はショートパルスの場合を、図4(2)はロング

パルスの場合を、それぞれ示す図である。

【図5】一従来例に係るレーダ用パルス変調器の回路構成を示す回路図である。

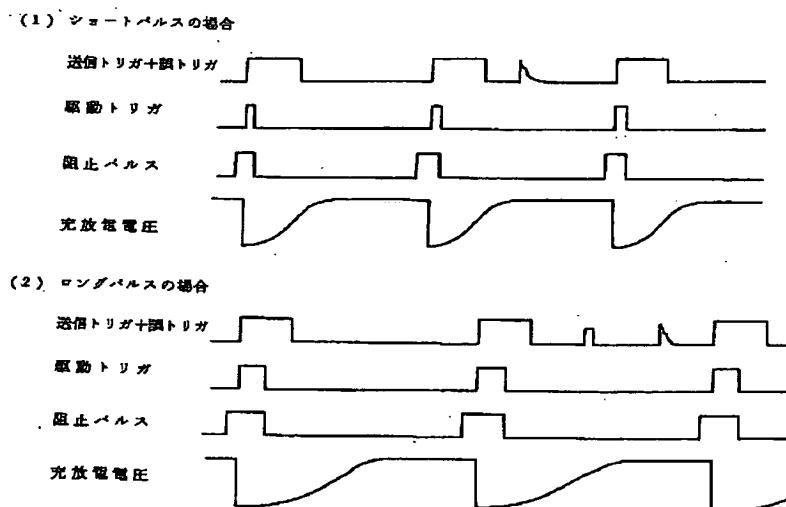
【図6】この従来例の問題点を示す波形図である。

【符号の説明】

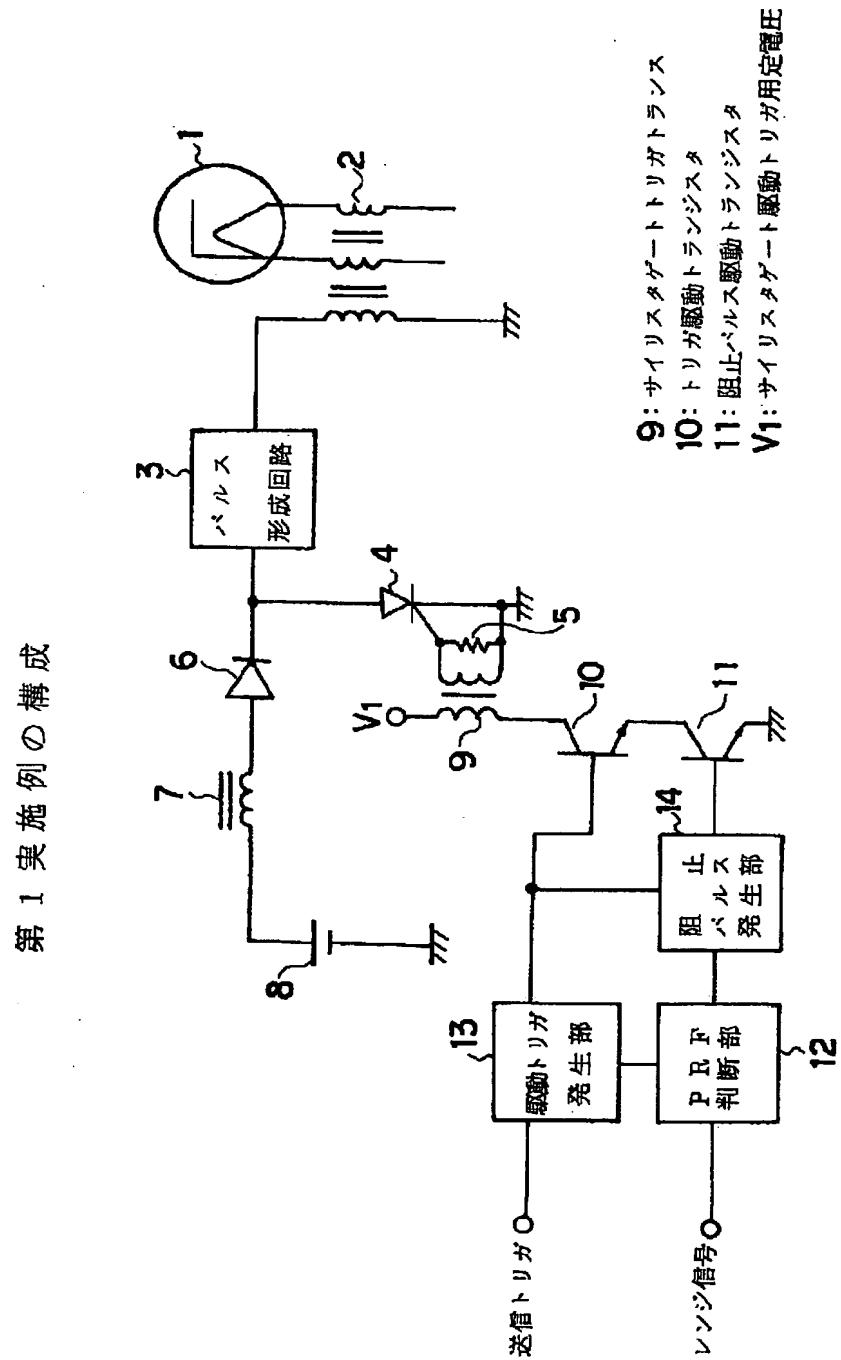
1	マグネットロン
2	パルストラns
3	パルス形成回路
4	サイリスタ
10	サイリスタゲート抵抗
5	充電保持ダイオード
6	充電コイル
7	定電圧電源
8	9 サイリスタゲートトリガトランス
10	10 トリガ駆動トランジスタ
11	11 阻止パルス駆動トランジスタ
12	12 P R F 判断部
13	13 駆動トリガ発生部
14	14 阻止パルス発生部
20	V ₁ サイリスタゲート駆動トリガ用定電圧

【図2】

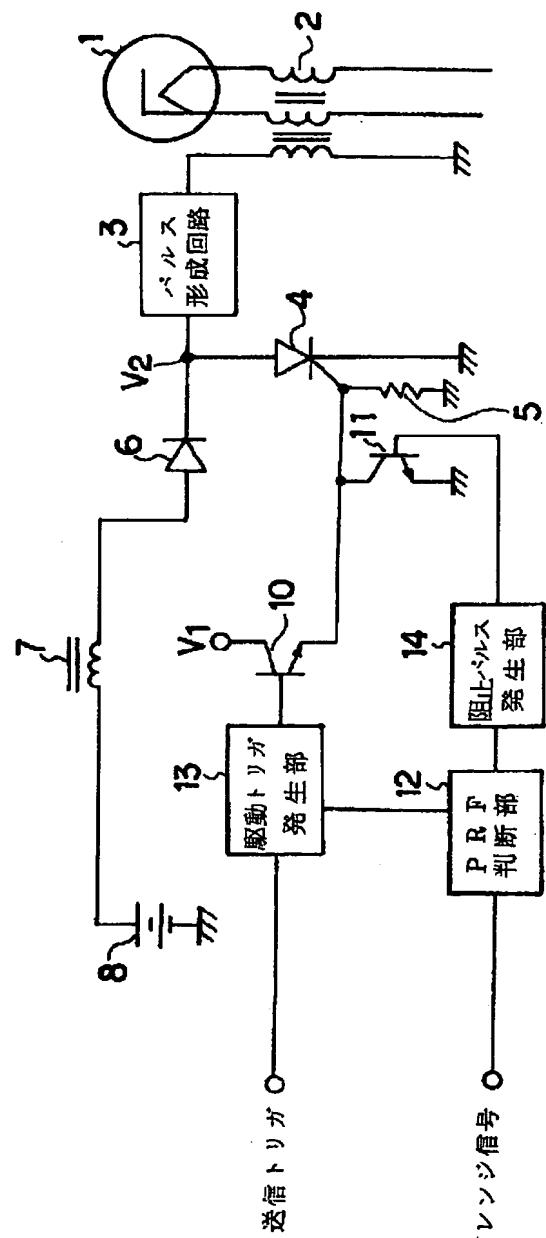
第1実施例の動作



【図1】



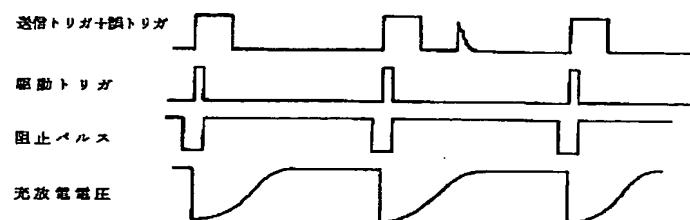
【図 3】



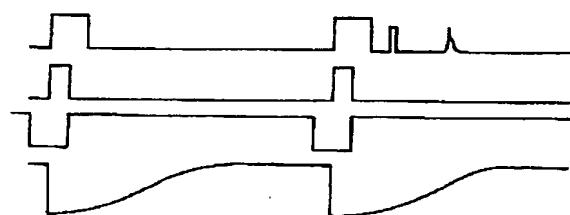
【図 4】

第 2 実施例の動作

(1) ショートパルスの場合

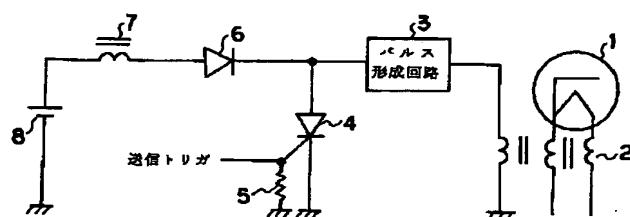


(2) ロングパルスの場合



【図 5】

従来例の構成



1: マグネトロン
2: パルストラns
3: サイリスタ
4: サイリスゲート抵抗
5: 充電保持ダイオード
6: 充電コイル
7: 定電圧電源
8: 定電圧電源

【図 6】

